

⑩ 公表特許公報 (A)

平5-509184

⑩ 公表 平成5年(1993)12月16日

⑩ Int. Cl.⁴ 識別記号 庁内整理番号
G 06 F 15/80 9190-SL
12/06 7608-SB
15/16 3 9 0 H 9190-SL
T

審査請求 未請求
予備審査請求 有 部門 (区分) 6 (3)

(全 9 頁)

⑩ 発明の名称 並列プロセッサアレイのための仮想処理アドレス・命令ジェネレータ

⑩ 特 願 平3-510619
⑩ 出 願 平3(1991)5月14日

⑩ 翻訳文提出日 平4(1992)11月30日
⑩ 国際出願 PCT/US91/03345
⑩ 国際公開番号 WO91/19268
⑩ 国際公開日 平3(1991)12月12日

優先権主張 ⑩ 1990年5月29日 ⑩ 米国 (U S) ⑩ 529,947

⑩ 発 明 者 ジャクソン、ジェームス、エイ アメリカ合衆国 27511 ノースカロライナ州 キャリイ、ベンウ
チ フードドライブ 119
⑩ 出 願 人 ウェーブトレーサー インコー アメリカ合衆国 01720 マサチューセッツ州 アクトン、グレー
ボレイテッド ロード 289
⑩ 代 理 人 弁理士 秋元 輝雄
⑩ 指 定 国 A T (広域特許), A U, B E (広域特許), C A, C H (広域特許), D E (広域特許), D K (広域特許), E S (広域
特許), F R (広域特許), G B (広域特許), G R (広域特許), I T (広域特許), J P, L U (広域特許), N L (広
域特許), S E (広域特許)

最終頁に続く

請求の範囲

1. 選択された1つの問題次元に含まれるノードの数より少ない数のプロセッサセルを有するプロセッサアレイのための、プロセッサセル命令とそれに対応するプロセッサセル物理メモリアドレスを生成することを目的とした、仮想処理命令・アドレスジェネレータを備えた、以下のものからなる並列処理システム:

前もって決められた数の物理プロセッサセルを有する1つのプロセッサアレイ;

前記の1つの問題次元のサイズを構成する数の問題ノードを提供するための手段;

問題ノード数を提供するための手段と前もって決められた数の物理プロセッサセルに对应して、この前もって決められた数の物理プロセッサセルの各々に係るべき仮想プロセッサセルの数を決定するための手段;

前記の前もって決められた数の物理プロセッサセルの各々に係るべき仮想プロセッサセルの数を決定するための手段に对应して、物理プロセッサセルの各々に係る仮想プロセッサセルのベースメモリアドレスに对应する1つの物理プロセッサセルメモリアドレスを決定するための手段;

1つまたは1つ以上のプロセッサセル命令を提供するための手段;

各オペランドを前記のプロセッサセルのアレイによって処理するための、1つの仮想オペランドメモリアドレスを提供するための前記の手段と前記の仮想プロセッサセルのベースメモリアドレスに对应して、1つの対応する仮想プロセッサセルベースメモリアドレスで仮想オペランドメモリアドレスを置き換えるべきオペランドの1つの物理プロセッサセルメモリアドレスを生成するための手段;

前記の1つの問題次元に含まれるノードの数より少ない数のプロセッサセルを有する多次元プロセッサアレイのための、プロセッサセル命令とそれに対応するプロセッサセル物理メモリアドレスを生成することを目的とした、仮想処理命令・アドレスジェネレータを備えた、以下のものからなる多次元並列処理システム:

少なくとも1つの3次元アレイを形成するように相互接続された、前もって決められた数の物理プロセッサセルを有する1つのプロセッサアレイ;

前記の1つの問題次元のサイズを構成する数の問題ノードを提供するための手段;

問題ノード数を提供するための手段と前もって決められた数の物理プロセッサセル

メモリアドレスをもった1つのプロセッサセル命令を生成するための手段

2. 請求項1のシステムにおいて、プロセッサセルアレイに、多次元アレイを構成するように相互接続された複数のプロセッサセルが含まれるもの

3. 請求項2のシステムにおいて、多次元アレイに1つの3次元アレイが含まれるもの

4. 請求項1のシステムにおいて、1つの問題次元のサイズを構成する問題ノード数を提供するための手段に、前記のプロセッサセルが含まれるもの

5. 請求項1のシステムにおいて、各仮想プロセッサセルのベースメモリアドレスに对应する1つの物理プロセッサセルメモリアドレスを決定するための手段が、オペランドがそこに記憶されるべき仮想プロセッサセルのベースメモリアドレスと、オペランドがそこに記憶されるべき仮想プロセッサセルのベースメモリアドレスを決定するもの

6. 請求項1のシステムにおいて、プロセッサセル命令の各々に、少なくとも1つのプロセッサセルアドレスセグメントと1つのプロセッサセルコンタロールセグメントが含まれるもの

7. 請求項1のシステムにおいて、対応する1つの物理プロセッサセルメモリアドレスをもった1つのプロセッサセル命令を生成するための手段が、その物理プロセッサセルメモリアドレスを、1つの対応するプロセッサセル命令のアドレスセグメントの値に加算するもの

8. 選択された1つの問題次元に含まれるノードの数より少ない数のプロセッサセルを有する多次元プロセッサアレイのための、プロセッサセル命令とそれに対応するプロセッサセル物理メモリアドレスを生成することを目的とした、仮想処理命令・アドレスジェネレータを備えた、以下のものからなる多次元並列処理システム:

少なくとも1つの3次元アレイを形成するように相互接続された、前もって決められた数の物理プロセッサセルを有する1つのプロセッサアレイ;

前記の1つの問題次元のサイズを構成する数の問題ノードを提供するための手段;

問題ノード数を提供するための手段と前もって決められた数の物理プロセッサセル

てプロセッサコントローラ104に接続されてコマンドプロセッサとして機能するところの、適切な前型プロセッサ102が含まれる。好ましい実施例においては、この前型プロセッサ102として、Unix™オペレーティングシステムの制御のもとに動作する通常のコンピュータを用いる。かかる前型プロセッサの一例は、Sun Microsystems社から入手することが可能なSunワークステーションである。前型プロセッサ102には、通常のコンパイラと、C言語への並列処理実装を用いて書き込みがなされたプログラムシステムがコンパイルし実行することを可能にする。前記Cコンパイラのためのプロセッサ102が含まれる。

プロセッサコントローラ104は、前型プロセッサ102とプロセッサレイ108の間の中絶処理機能を提供する。このプロセッサコントローラ104には、コントロールプロセッサプログラムメモリ112に記憶されたコントロールプロセッサプログラムの制御のもとに動作するコントロールプロセッサ110が含まれる。このような並列処理システムの一例は、いずれも本明細書で引用しているところの、同時並行米国特許No. 07/530, 027 (名称"MULTI-DIMENSIONAL PROCESSOR SYSTEM AND PROCESSOR ARRAY WITH MASSIVELY PARALLEL INPUT/OUTPUT")およびNo. 07/529, 962 (名称"DIMENSIONALLY RECONFIGURABLE MULTI-DIMENSIONAL PROCESSOR ARRAY")に開示されているとおりである。

前型プロセッサ102はコントロールプロセッサ110と連絡し、選択されたコマンドに応じて該コントロールプロセッサにコマンドを送り、かつまた該コントロールプロセッサからのデータを読み取る。通常、各々のコマンドは、数値や乗算などのワード・オリエンテッド型の事項または2項演算を記述する。コントロールプロセッサ110はかかるコマンドを判定し、そしてそれらをマクロ命令と呼ばれる1組のワード・オリエンテッド型のコマンドとしてリフォーマットする。マクロ命令はアドレス・命令ジェネレータに転送される。そしてこのアドレス・命令ジェネレータは、シリアライザ内に配置

されたレジスタを初期設定することにより、シリアライザ120と通信したもになる。シリアライザ120はマイクロコード122の制御のもとで動作し、そして各々のワード・オリエンテッド型マクロ命令を、ナノ命令と呼ばれる1組のビット・オリエンテッド型コマンドに変換する。このビット・オリエンテッド型コマンドは、それぞれ、メモリアドレスレジスタとコントロールレジスタからなるプロセッサレイ命令である。該シリアライザは、該シリアライザが生成させるナノ命令の各々のシーケンスを、プロセッサレイ108の全てのプロセッサレイに伝送する。ナノ命令メモリ124には、シリアライザ120がそれらにアクセスしてプロセッサレイ108のナノ命令を形成することの、ナノ命令テンプレート126の表が含まれる。

コントロールプロセッサ110はシリアライザ120との間で周期的にデータの授受を行うが、一方、両方向エッジ10106を經由してプロセッサレイ108との間でデータ授受を行う。両側において、前型プロセッサ102との間の通信は小型コンピュータシステムインターフェース(SCSI)106を介してなされる。コントロールプロセッサ110はプロセッサレイ108を初期設定するためのコマンドを受け取り、そしてプロセッサレイ108を初期設定する。さらに、標準およびオプションのストッピングRAMやオプションのI/Oデバイスなどの周辺装置間の出力制御を制御する。

シリアライザ120は、図2のブロック・ダイアグラムに一部詳細に示すとおりである。図においてシリアライザはその入力信号をコントロールプロセッサ110から受け取り、また、コントロールプロセッサ110はその入力信号を前型プロセッサ102から受け取る。

前型プロセッサ102は、同期空間次元150ならびに追加的な初期設定情報をコントロールプロセッサ110へ伝送することにより、システムを初期設定する。コントロールプロセッサ110は、シリアライザ120のレジスタをロードして、各プロセッサセルとともなる同期ノードの写像156をシリアライザに記述することにより、この情報にアクセスする。アドレス配置図162は写像156を受け取り、そして、前型プロセッサ102からの

接続の情報を処理する間に、それを用いて、仮想アドレス164と同期アドレス165の表を生成させる。

つぎに前型プロセッサ102は、コントロールプロセッサ110にコマンドを送ってシステムを初期化させる。このコマンドは操作符号154とオペランドデータ155からなる。オペランドデータ155はアドレスジェネレータ168は、オペランドアドレスデータ158をコントロールプロセッサ110から受け取り、そしてプロセッサレイ108によって処理される各オペランドビットの仮想アドレスを、信号線群170を通じてナノ命令ジェネレータ166に提供する。ナノ命令ジェネレータ166の累計図172は、仮想アドレス170の各々を、各プロセッサセルにおいて複数のオペランドビットについて通行されつつある操作に応じて、仮想アドレス164または同期アドレス165のいずれかで加算し、結果をオペランドビットのプロセッサセルメモリ管理アドレス174を形成する。

コントロールプロセッサ110は、操作符号154とオペランドデータ152を復号してマイクロプログラム制御符号160を生成させ、そしてそれをマイクロプログラム・コントロールユニット176へ送る。マイクロプログラム・コントロールユニット176は、これらの図に示してナノ命令テーブルアドレス178を発生し、そしてそれを用いてナノ命令メモリ114をアドレスし、ナノ命令テンプレート180を得、ついでそれをナノ命令ジェネレータ166へ送る。マイクロプログラム・コントロールユニット176はまた、オペランドビットのアドレスジェネレータ168、アドレス配置図162、およびナノ命令ジェネレータ166を、それ自身の操作と同期させるための同期情報を生成する。ナノ命令ジェネレータ166は、仮想アドレス164または同期アドレス165と仮想アドレス170の間としてそれが形成する各々の物理アドレス174を、対応するナノ命令テンプレート180のアドレスビットと加算し、それらのナノ命令182を生成する。それらのナノ命令182は、各プロセッサセルのそのビットについて通行されるべき操作を記述する制御ビット、の両方を含む。ナノ命令ジェネレータ166は、それが生成させる各々の

ナノ命令182を、アレイの全てのプロセッサセルへ送る。

前型プロセッサ102は、ワード・オリエンテッド型コマンドをコントロールプロセッサへ送ることによって、コントロールプロセッサ110と連絡する。コントロールプロセッサ110はかかるコマンドを判定し、そしてそれらを1組のマクロ命令としてリフォーマットする。かかるコントロールプロセッサ110の一例は、図3のブロック・ダイアグラムに一部詳細に示すとおりであるが、マイクロプロセッサ180がこれに含まれる。このマイクロプロセッサ180はADROM2900プロセッサであって、コントロールプロセッサプログラムPROMとRAM114の制御のもとに動作する。コントロールプロセッサのデータRAM114は、一時的データとプロセッサ実行記憶をマイクロプロセッサ180に提供する。

ある与えられたユーザー・プログラムを、変更せずに各種サイズのプロセッサレイのランに便するようには、応用プログラマーは、仮想空間のためのメモリの割り付けを要求されるはならない。それゆえ、実用、応用プログラムは、ある与えられたプロセッサレイにおける管理プロセッサセル数の単純から切り離される。そのかわりに、応用プログラムは単に、希望する同期空間のX、YおよびZ次元の値を指定する。つぎにコントロールプロセッサ180は、プロセッサレイのサイズを決定し、そして同期空間の与えられた次元とプロセッサレイの各ビットに沿ってのプロセッサセル数から、各種管理プロセッサレイに割り振られるべき1組の仮想プロセッサを計算する。この1組の仮想プロセッサを、管理プロセッサセルの構成と照合する。これらの構成決定は、好ましい実施例におけるように多次元であっても差し支えない。次によって得られる。

$$X, Y, Z = \text{size of } X, Y, Z \text{ dimensions}$$

ここにX、Y、およびZは、各管理プロセッサセルの構成の次元、X、YおよびZは同期空間の次元、X、Y、およびZは、管理プロセッサにおけるアレイの次元である。

シリアライザは、それがコントロールプロセッサから入手すること可能な未処理の人力を有するときは、それらのナノ命令イタリに1回だけ、プ

ロセッサー・アドレスの各プロセッサセルに、有用なノ命令を渡すべきである。シリライザーは、プロセッサ・コントローラーから受け取った各マクロ命令に対して1つのマクロ命令シーケンスを生成するだけでなく、また、必要に応じて各マクロ命令についてアドレスを変更したうえで、直にそれぞれの物理プロセッサセルにマッピングされる各物理プロセッサセルについてそのマクロ命令シーケンスを反送しなければならない。アドレス・命令ジェネレータはまた、2つの物理プロセッサが相互に通信し命令を受けなければならないときは、複数の物理プロセッサセルが関与する場合があることも考慮しなければならない。

したがって、コントロールプロセッサから受け取るあるいは与えられたマクロ命令に対応する各マクロ命令シーケンスを生成するためには、発明的アドレス・命令ジェネレータは、それが生成させる各マクロ命令に含めるためのオペランドの物理アドレスを計算し、また、各のマクロ命令のためのマイクロコード命令を実行する。したがってまた、どのマクロ命令を生成させるかを決定するための条件を評価しなければならない。つきにシリライザーは、ある1つの物理プロセッサセルの領域にあるそれぞれの仮想プロセッサについて、該当する変更を施したうえで、それが生成させる各マクロ命令シーケンスを反送しなければならない。

発明的アドレス・命令ジェネレータ120は、dオペランドの場合について図に示すような、5つのオペランド・アドレス・命令ジェネレータを有している。マクロ命令オペランド0、およびdに代わって3つのアドレスユニットがあり、一方、一時記憶装置およびdに代わって2つのアドレスユニットがある。それぞれのオペランド・アドレス・命令ジェネレータ18には、2つの16ビット・ハイアドレスレジスタ18と182、2つの16ビット・ローアドレスレジスタ183と184、および2つの1ビットの初期置数レジスタ185と186が含まれる。これらのレジスタのうち最初のレジスタはコントロールプロセッサにより直接にロードされる。一方、第2のレジスタはシリライザーにより第1のレジスタからロードされ、これによりシリライザーは、コントロールプロセッサが新たなマクロ命令を提供しているあいだに、1つのマクロ命令を処理することができる。このほか、3つのカウンタすなわち

16ビット・ハイアドレスカウンタ187、16ビット位置アドレスカウンタ188、および16ビット・ローアドレスカウンタ189が含まれる。

ハイアドレスレジスタ181と182のそれぞれは、カウンタ186と同様に、ある1つのオペランドの最上位ビット(MSB)の仮想アドレスを含み、一方、ローアドレスレジスタ183と184のそれぞれは、カウンタ185と同じく、対応するオペランドの最下位ビット(LSB)の仮想アドレスを保持する。初期置数レジスタ185と186は、それぞれ、初期ハイアドレスレジスタの内容がロードされるべき各ビット位置アドレスカウンタ188に対して設定され、あるいは、当初そのビット位置アドレスカウンタにローアドレスレジスタの内容がロードされるべきであれば、クリアされる。レジスタ191はシリライザーがマイクロコードを実行しているときに設定され、そしてd-0信号190は、dカウンタ188をd-hカウンタ187からロードするマイクロ命令を実行しているときに設定される。

図4に示す5つのシリライザー・アドレスユニットのレジスタとカウンタに加えて、シリライザーは、第5のマイクロコードを格納してコントロールプロセッサから情報を受け取る。マイクロプログラムアドレスレジスタ203と204、およびマイクロプログラムアドレスカウンタ208は、各シリライザー・マイクロコードの終端をロードされる。メモリー・レジスタ206はシリライザーがマイクロコードの実行を調整するときにレジスタ204からロードされ、そしてシリライザーが実行しているいは、マイクロプログラムによって生成させられるプッシュアドレスからロードされる。各シリライザー・マイクロコードの終端でシリライザーがマイクロプログラムメモリー・アドレスレジスタ206をロードするときは、シリライザーはまた、アドレスレジスタ206にロードされたつとあるアドレスで、図1のコントロールプロセッサデータメモリー114からデータワードを受け取る。このデータは、それぞれ4ビットワイドの前置オペランドレジスタ208および11(それぞれ210および212)に読み込まれる。(オペランド・アドレスユニットからフェットレスカウンタのローオーダー6ビット214は、641マルチプレッシャー216を逐次して、順置並列変数の銀行ビット216とならうに、1レジスターに1

つのビットを選択する。

オペランド・アドレスユニット168のタイミングは図6に示す通りである。ここには、各物理プロセッサセルの領域内における仮想プロセッサの数である。シリライザーはコントロールプロセッサから受け取るそれぞれのマクロ命令に対して該当するマイクロコードをn回実行し、それぞれの仮想プロセッサについて1つずつパスを行う。符号192などで示した最期はサイクル間に連んだ境界であって、この時点でシリライザーのレジスタとカウンタにデータをロードすることができる。すなわちインクリメントが可能である。パス193などの各仮想プロセッサパスには1クロックサイクル194が実行し、そしてこのクロックサイクルの間にシリライザーは1つのデフォルト・マクロ命令を発生させ、そして次のパスのためのワーキングレジスタとカウンタを初期化設定する。

コントロールプロセッサは、オペランド・アドレスユニットのシリライザー・レジスタの第1セットd-0、d-1およびd-0に、シリライザーがマクロ命令i-1(168)のための最初の仮想プロセッサパス195を開始した時点から同じシリライザーがマクロ命令i-1のための最後のパスを終了する1クロックサイクル前の時点(197)までの間に、マクロ命令iのための該当する語をロードする。シリライザーは、それが時点198で示すマクロ命令i-1の最後の仮想プロセッサパスを終了するときに、これらの語を、バイアラインレジスタの第2セットd-1、d-1およびd-1に格納する。ついでシリライザーは、マクロ命令iのための各仮想プロセッサパスに実行する各サイクル199の終端において、ハイアドレスレジスタとローアドレスレジスタ(d-1とd-1)から、3つのカウンタ-d-1、d-2、およびd-3をロードする。各仮想プロセッサパスの終了の間のシリライザーは、マクロ命令のための選択されたマイクロコードシーケンスを実行しつつマクロ命令の命令に就いて各仮想プロセッサのためのアドレスカウンタを修正することにより、マクロ命令iのためのマクロ命令シーケンスを発生させる。パス193などの各仮想プロセッサパスは、複数のサイクル200からなる。またシリライザーは、各サイクルのあいだに1つの行動マクロ命令を発生

せるように設計される。

シリライザーは、各シリライザー・クロックサイクル199の終端で、各オペランド・アドレスユニットの3つのカウンタ187~189の内容を、インクリメントならびにデクリメントすることができる。ビット位置アドレスカウンタ188などのカウンタをインクリメントならびにデクリメントする能力は、1つのオペランドのすべてのビット位置を順次にロードするために必要である。コントロールプロセッサから受け取ったマクロ命令の結果として実行されるシリライザー・マイクロコードは、カウンタがインクリメントされるべきデクリメントされるべきを指示する。

各物理プロセッサのメモリーは、図7Aのメモリーマップ220に示すように区分される。このメモリーマップは、プロセッサ・アドレス内の物理アドレス位置を記述する7つの実行する物理フラグ・セグメント222と、一時メモリー・アドレス領域224が含まれる。残りのメモリーは、長さそれぞれビットの、x、y、zの互いに独立したメモリー・アドレス領域226に区分される。

それぞれの物理プロセッサセルは、各7つのメモリー、その領域にある各仮想プロセッサごとに1つずつ、全部で、x、y、zの4回実行しなければならない。図7Bのメモリーマップ230は、図5のビットの、1つの仮想プロセッサ・メモリー226のメモリーマップ230を示す。マクロ命令の、与えられたある1つの仮想プロセッサ226の状態は、全ての図230の状態、その図230の状態とステップ236の状態、およびそのステップ238の状態によって記述される。マクロ命令の仮想プロセッサの状態に代わって、マクロ命令を完了するために必要な図7Aの一時記憶領域224の状態と、物理プロセッサの各レジスタの状態が含まれる。

1つの仮想記憶変数を設定するために、コントロールプロセッサは、第8の4つのプロセッサ-x0、y0、z0およびx0(240~246)を以下のようにロードする。ただし、xは1仮想プロセッサのメモリー・アドレスである。

x0 = x1, y, z, v
y0 = y, z, v
z0 = z, v

表 5-509184 (5)

$s0 = V$
プロセッサアレイ内の1つのプロセッサセルから別のプロセッサセルへのデータの移動は、以下の構文に従って記述される。

$$a = [\Delta x : \Delta y : \Delta z] b$$

ただし、 a は宛先プロセッサセルのメモリー内の1つの場所であり、また b は発元プロセッサセル内の1つの場所である。発元プロセッサセルは、宛先プロセッサセル a に対して距離 Δx 、 Δy 、および Δz だけ隔った場所にある。

複数の仮想プロセッサの間でデータの移動をおこなうマクロ命令を処理するに先立ち、コントロールプロセッサは、3つのレジスタ $x0$ 、 $y0$ 、および $z0$ (248~252) を以下のように入力する。

$$x0 = (\Delta x = X, \Delta x \neq X, 1) Y, Z, V$$

$$y0 = 0 (\Delta y = Y, \Delta y \neq Y, 1) X, Z, V$$

$$z0 = (\Delta z = Z, \Delta z \neq Z, 1) V$$

ここに Δx 、 Δy 、および Δz は、算数 $a = [\Delta x : \Delta y : \Delta z] b$ で示されるような、宛先仮想プロセッサを基準にしたときの、発元仮想プロセッサに対する符号付き仮想プロセッサ座標である。算数 $x0$ 、 $y0$ 、および $z0$ は、距離 Δx 、 Δy 、および Δz を最も近い整数 X 、 Y 、および Z 、でそれぞれ四捨五入したときの値を示す。

図2のアドレス再配置回路162には再配置ベースシェーリング回路が含まれ、そしてこの再配置ベースシェーリング回路は仮想ベースシェーリング回路と遠隔ベースシェーリング回路からなる。図1の仮想ベースシェーリング回路280には3つのモジュロカウンタ262、264および266が含まれる。第1のモジュロカウンタ262はインクリメント入力262Hは、仮想プロセッサのメモリアドレス V を含むように前に定義した $s0$ レジスタの値である。各モジュロカウンタは、そのインクリメント入力およびミッド入力が各物理プロセッサセルの領域次元 X 、 Y 、および Z 、の関数として設定されるように、ステータス設定。結果として得られる出力 X 、 Y 、および Z (270~274) は、アッダー276によって加算され仮想ベ

ス番号278が得られ、そしてその値と、この仮想ベース信号は仮想アドレスに加算されて、アレイの全てのプロセッサセルに物理アドレスを生成させる。

図10の遠隔ベースシェーリング回路280には3つのモジュロアッダー282、284および286が含まれる。そしてこれらが1つずつ、領域 X 、 Y 、および Z に対応する。これらのモジュロアッダーはそれぞれ、総和出力およびパルス出力を生成させる。総和出力は次のいずれかに等しい。(a) ベースインクリメント b リミットならば、ベースインクリメント (b) ベースインクリメント b リミットならば、ベースインクリメント b リミット。オーバーフロー信号は、ベースインクリメント b リミットならば正値出力に等しい、ベースインクリメント b リミットならば b の信号の逆値に等しい。

インタープロセッサ通信マクロ命令を実行するインターコッドは、データ X 、 Y 、および Z 方向に移動させる物理プロセッサの数をカウントするために、そしてそれ F 、 T 、および V を使用する。各領域でデータを移動させなければならない物理プロセッサの数を記述するため、シリアライザーは、 F 、 T 、および V オペランドに対するベクトルアドレスユニットを以下のように入力する。

$$f0 = \begin{cases} 0, & \Delta x < 0 \\ 1, & \Delta x \geq 0 \end{cases}$$

$$t0 = \begin{cases} 0, & \Delta y < 0 \\ 1, & \Delta y \geq 0 \end{cases}$$

$$u0 = \begin{cases} 0, & \Delta z < 0 \\ 1, & \Delta z \geq 0 \end{cases}$$

$$f10 = t10 = u10 = 1$$

$$fh0 = \begin{cases} (-1 - \Delta x) / X, & \Delta x < 0 \\ \Delta x / X, & \Delta x \geq 0 \end{cases}$$

$$th0 = \begin{cases} (-1 - \Delta y) / Y, & \Delta y < 0 \\ \Delta y / Y, & \Delta y \geq 0 \end{cases}$$

$$uh0 = \begin{cases} (-1 - \Delta z) / Z, & \Delta z < 0 \\ \Delta z / Z, & \Delta z \geq 0 \end{cases}$$

それぞれのオペランドアドレスレジスタの各々のハイアドレスカウンタは、その座標のモジュロアッダーがオーバーフローしないときいつでも、対応する座標の物理アドレスを通してデータを移動させなければならない距離を記述するように設定する。関係する座標のモジュロアッダーがオーバーフローしないときはいつでも、データは、もう1つの物理プロセッサを通して移動する。データを正確な方向に移動させる場合には、それぞれのアドレスユニットのビット位置アドレスカウンタは、ハイアドレスカウンタに初期設定し、そしてローアドレスカウンタにカウントダウンする。一方、データを負の方向に移動させる場合には、ビットアドレスカウンタは、ローアドレスカウンタに初期設定し、そしてハイアドレスカウンタにカウントアップする。出力信号 $x + dx$ 、 $y + dy$ 、および $z + dz$ (288~292) は、アッダー294によって加算され、遠隔ベース信号296を生成する。

各仮想ベースの領域次元において、図2のマイクロプログラム・コントロールユニット178は、オーバーフロービット $x0$ 、 $y0$ 、および $z0$ を、それぞれ、 F 、 T 、および V アドレスユニットのハイビット位置アドレスカウンタ187 (図4) に加算する。さらには、データを正の方向に移動させるべき各座標について、対応するオーバーフロービット $x0$ 、 $y0$ 、および $z0$ は図4の対応する位置アドレスカウンタ188にも加算される。このようにして、 F 、 T 、および V アドレスユニットの各々、それぞれの仮想処理パスの各々の物理プロセッサセルの移動数をカウントするように、正しく初期設定される。

例として、領域次元4、1、1を有する物理プロセッサ300~306のための、 $a = [-1, 0, 0]$ b の形の、インタープロセッサ通信処理を図11Aおよび図11Bに示す。仮想処理を開始させた結果として、コントロールプロセッサは、各物理プロセッサの領域次元を設定するため、以下に示すように8

0、 $y0$ および $z0$ をすでにロードしている。ただし、 V は各仮想プロセッサに割り付けられたメモリービットの値である。

$$\begin{aligned} x0 &= 4V \\ y0 &= V \\ z0 &= V \\ s0 &= V \end{aligned}$$

この例の場合には、 $\Delta X = -1$ 、 $\Delta y = 0$ 、および $\Delta z = 0$ である。

図11Bの真は、各仮想プロセッサにおけるこの処理のための、キーレジスタと信号の値を示す。パス1のあいだ、仮想ベースカウンタの物理アドレスはクリアされており、したがって0の仮想ベースを生成する。遠隔ベースシェーリング回路のモジュロアッダー回路は、オーバーフロー $x0$ を発生し、したがって f および t のレジスタに1が加算され、これにより発元物理プロセッサ (たとえば300) が宛先物理プロセッサ (たとえば306) から3プロセッサだけ離れていることが示される。遠隔ベース (これは発元オペランドを再位置する) は V である。一方、仮想ベース (これは宛先オペランドを再位置する) は0である。これは、物理プロセッサ300の領域次元にある仮想プロセッサ308から、物理プロセッサ306の領域次元にある仮想プロセッサ310へのデータ移動に対応する。第2の仮想処理パスのあいだに、レジスタは0から V へインクリメントされ、発元は遠隔ベース V 、ならびに宛先は仮想ベース V をもたらす。第4のパスではオーバーフロービット $x0$ は0になり、このため f および t のレジスタは、パスの開始点でインクリメントされない。つまりデータは、2つの物理プロセッサのみを通して、物理プロセッサ302から発元物理プロセッサ306へ、そしてまた物理プロセッサ300から物理プロセッサ304へ移動する。

図2のマクロ命令シェーリング回路166の結果を図12に示す。この回路は、5つのビット位置カウンタ320~324、仮想ベース278、遠隔ベース296、およびマクロ命令メモリー124に記憶されたマクロ命令の数を数え、マクロ命令を発生させる。マイクロプログラムの制御のもとで、マクロ命令レジスタ330にマクロ命令インデックスビット332とオペランドビット334をそれぞれ

らのナノ命令インデックスビットが、ナノ命令メモリー124内の最右のナノ命令テンプレートを指定する1つのナノ命令アドレス334を発生させる。マルチプレクサー336は、信号338の制御のもとに、0、送信ベース296または返信ベース278がアッダー342によって選択されたビットオペランドアドレス信号340に加算されるべきか否かを指令する。この結果としてアッダー342から得られる出力信号344は、オペランドデータの物理アドレスである。この物理アドレスはアッダー346によってナノ命令に加算され、ナノ命令レジスタ348に記憶され、そして次のシラライザサイクルの開始時にプロセッサアレイの各プロセッサセルに渡される。

通常の技術的な無意味をもたないような本発明に対する変更および置換は、本発明ならびに以下添付する請求項の範囲内のものであると考える。

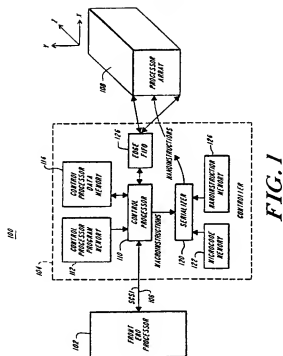


FIG. 1

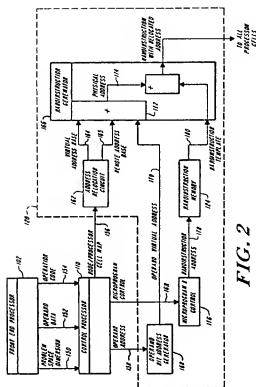


FIG. 2

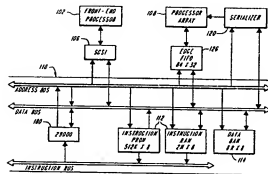


FIG. 3

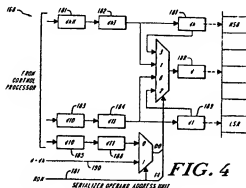
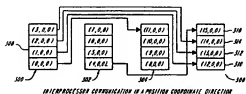
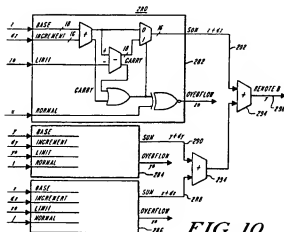
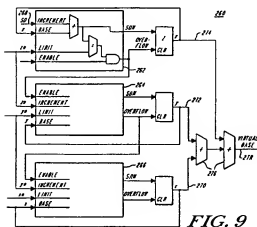
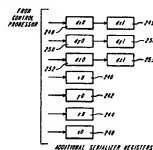
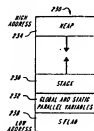
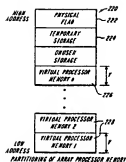
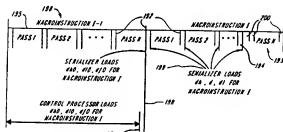
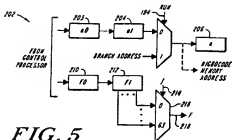


FIG. 4



	DESTINATION			SOURCE	
	F REGISTER	xx	JA	VIRTUAL BASE	REMOTE BASE
PASS 1	0	1	3	0	0
PASS 2	0	1	3	0	20
PASS 3	20	1	3	20	30
PASS 4	30	0	2	30	0

第1頁の続き

④発 明 者 リー、ミンーチイ

アメリカ合衆国 27511 ノースカロライナ州 キヤリイ、カレン
コート 126